

CLIPPEDIMAGE= JP361287233A
PAT-NO: JP361287233A
DOCUMENT-IDENTIFIER: JP 61287233 A
TITLE: MANUFACTURE OF SEMICONDUCTOR DEVICE

PUBN-DATE: December 17, 1986

INVENTOR-INFORMATION:
NAME
ISHIUCHI, HIDEMI

ASSIGNEE-INFORMATION:
NAME
TOSHIBA CORP

	COUNTRY
	N/A

APPL-NO: JP60129654
APPL-DATE: June 14, 1985

INT-CL (IPC): H01L021/302; H01L027/10
US-CL-CURRENT: 438/427

ABSTRACT:

PURPOSE: To form an ultrafine groove with good reproducibility by allowing a burying material (polysilicon) on the side wall of a pattern by an etching-back technique to remain, and then etching the material and an Si substrate disposed under the material.

CONSTITUTION: An Si<SB>3</SB>N<SB>4</SB> film 22 and an SiO<SB>2</SB> film 23 having an ultrafine window are superposed on an Si substrate 21, and coated with a polysilicon 24. A polysilicon 25 is retained on the wide wall of the window by RIE. Then, an SiO<SB>2</SB> film 26 is superposed, etched back, an SiO<SB>2</SB> film 27 is retained at the center of the window to expose the polysilicon 25. With the films 27, 23 as masks the polysilicon 25 and the film 22 directly under the polysilicon 25 are etched. Subsequently, the substrate 21 is subjected to an RIE to form a groove 28. Thereafter, the insulating films 22, 23, 27 are etched to form a gate oxide film 29 and a gate electrode 30. Then, an ultrafine capacitor is obtained. This structure

may be used
widely for an element separation.

COPYRIGHT: (C)1986,JPO&Japio

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭61-287233

⑬ Int.Cl.⁴

H 01 L 21/302
27/10

識別記号

庁内整理番号

J-8223-5F
6655-5F

⑭ 公開 昭和61年(1986)12月17日

審査請求 未請求 発明の数 1 (全5頁)

⑮ 発明の名称 半導体装置の製造方法

⑯ 特 願 昭60-129654

⑰ 出 願 昭60(1985)6月14日

⑱ 発 明 者 石 内 秀 美 川崎市幸区小向東芝町1 株式会社東芝総合研究所内

⑲ 出 願 人 株 式 会 社 東 芝 川崎市幸区堀川町72番地

⑳ 代 理 人 弁 理 士 佐 藤 一 雄 外2名

明 細 書

1. 発明の名称 半導体装置の製造方法

2. 特許請求の範囲

1. 半導体基板の表面に第1の膜を形成する第1の工程と、この第1の膜をパターンニングして所望のパターンを形成する第2の工程と、前記パターンの側壁部に埋込み材を被着、残存させる第3の工程と、この第3の工程で得られた構造の表面に第2の膜を形成する第4の工程と、前記第2の膜を表面からエッチングして前記埋込み材の頂部を露出させる第5の工程と、前記第1および第2の膜をマスクにして前記埋込み材および半導体基板をエッチングする第6の工程とを備える半導体装置の製造方法。

2. 前記第1の工程は、前記半導体基板の表面に下側膜を形成する工程と、この下側膜上に上側膜を形成する工程とを含み、前記第2の工程は前記上側膜をパターンニングして所望のパターンを

形成する工程からなる特許請求の範囲第1項記載の半導体装置の製造方法。

3. 前記下側膜は窒化シリコン膜であり、前記上側膜は酸化シリコン膜である特許請求の範囲第2項記載の半導体装置の製造方法。

4. 前記埋込み材は多結晶シリコンである特許請求の範囲第1項乃至第3項のいずれかに記載の半導体装置の製造方法。

5. 前記第2の膜は酸化シリコン膜である特許請求の範囲第1項乃至第4項のいずれかに記載の半導体装置の製造方法。

3. 発明の詳細な説明

(発明の技術分野)

本発明は半導体装置の製造方法に係り、特に半導体基板に溝を形成するものに関する。

(発明の技術的背景)

ダイナミックメモリのキャパシタを作製するために、シリコン基板内に溝を形成する方法はよく知られている。溝の形状やその形成方法はすでに

種々の提案がなされているが、本発明に最も近い従来技術として例えば、1984年のコンファランス オン ソリッドステイトデバイス アンド マテリアルズ (Conference on Solid State Devices and Materials) において発表されたウルトラ シャープ トレンチ キャパシターズ フォームド バイ ペリフェラルエッチング (Ultra Sharp Trench Capacitors Formed by Peripheral Etching) をあげることができる。以下この技術を添付図面の第3図を参照して説明する。

第3図(a)～(d)は従来技術による溝形成方法を説明するための工程別断面図である。第3図(a)に示すように、シリコン基板11上に酸化膜12およびモリブデンシリサイド膜(MoSi_2)13を形成する。そしてその表面に、フォトリソ14を所定の形状、例えば $1\mu\text{m} \times 1\mu\text{m}$ 程度の矩形で形成する。

次いで、この基板11を O_2 と CCl_4 の混合ガスを用いてRIE (Reactive Ion Etching) 法

によりエッチングする。このとき、 O_2 と CCl_4 の濃度をうまく設定すれば、レジスト14の周辺部15の MoSi_2 膜13のみをエッチングすることができ、第3図(b)に示すような構造を得ることができる。これは、 MoSi_2 のエッチングレートは O_2 が増すと減少するが、レジスト14の近くでは O_2 はレジスト自体を酸化するために消費されることを利用するものである。すなわち、レジスト近傍での O_2 濃度は低いままとなり、従ってこの領域では MoSi_2 のエッチングレートは速くなる。その結果、 MoSi_2 膜13はレジストパターン14の外周に沿ってエッチングされることになる。エッチング幅は $0.5\mu\text{m}$ 程度である。

次に、 MoSi_2 膜13のパターンをマスクにして酸化膜12およびシリコン基板11をエッチングし、第3図(c)に示すような深い溝16を形成する。そして、第3図(d)に示すように酸化膜12を除去した後、表面に薄い酸化膜17を形成し、さらに電極となるポリシリコン膜18を

形成してキャパシタを作る。

(背景技術の問題点)

このような従来の技術では、エッチングレートがガス系の酸素分圧によって大きく変わるため、エッチングの制御性が良くない。すなわち、酸素分圧が低すぎるとレジスト部以外の MoSi_2 は全てエッチングされてしまう。逆に酸素分圧が高すぎると全くエッチングが進まず、逆にレジストの方がエッチングされて無くなってしまう。

このように酸素分圧のコントロールが非常に難しいので、第3図に示した方法では再現性が悪い。一般に、レジスト周囲のみをエッチングする技術は未だ未熟な段階にあり、実際の工程に応用することが難しい。

(発明の目的)

本発明は前述した従来技術の欠点を解決するためになされたもので、溝構造を半導体基板で再現性よく実現することのできる半導体装置の製造方法を提供することを目的とする。

(発明の効果)

上記の目的を達成するため本発明は、半導体基板の表面に第1の膜(例えば窒化シリコン膜+酸化シリコン膜)を形成する第1の工程と、この第1の膜をパターニングして所望のパターンを形成する第2の工程と、パターンの側壁部に埋込み材(例えば多結晶シリコン)を被着、残存させる第3の工程と、この第3の工程で得られた構造の表面に第2の膜(例えば酸化シリコン膜)を形成する第4の工程と、第2の膜を表面からエッチングして埋込み材の頂部を露出させる第5の工程と、第1および第2の膜をマスクにして埋込み材および半導体基板をエッチングする第6の工程とを備える半導体装置の製造方法を提供するものである。

(発明の実施例)

以下、添付図面の第1図および第2図を参照して本発明の実施例を説明する。第1図(a)～(h)は一実施例を示す製造工程別の断面図である。

まずシリコン基板21上に窒化膜等の下側絶縁

膜22を形成し、その上に酸化膜等の上側絶縁膜23を重ねて形成する。そして、上側絶縁膜23のみをパターンニングして第1図(e)に示すような形状を得る。なお、この絶縁膜22および23の厚さは、おのこの例えば1,000Åと4,000Åにしておくのが望ましい。また、絶縁膜23のパターンニングに際しては、そのパターン形状は1μm×1μmの穴としておくのが望ましい。

次いで第1図(b)に示すように、埋め込み材としての多結晶シリコン24を約4000Å堆積する。そしてR1Eによりエッチングし(これをエッチバックと称する)、第1図(c)のように上側絶縁膜23の内側壁のみに多結晶シリコン25として残存させる。この時、残存する多結晶シリコン25の幅は約3000Åとなる。

次いで酸化膜等の絶縁膜26を10,000Å堆積する。この堆積した絶縁膜(酸化膜)26は厚いため、酸化膜26の表面は第1図(d)に示す如くならかな形状となる。

酸化膜23を設けるようにしているが、窒化膜22を設けずに一層構造とし、パターンニングを半導体基板21に達するまで行なってもよい。また、上記実施例ではパターン側の側壁部に残す埋め込み材をポリシリコンとしたが、モリブデンやタングステン等の高融点金属を用いることもできる。また、絶縁膜はシリコン酸化膜やシリコン窒化膜に限られるものではなく、エッチングを選択的に行えるものであればいかなるものでもよい。

さらに上記実施例では、絶縁膜26として酸化膜を用いたが、例えばリンをドーパした酸化膜を堆積させて900℃以上の熱処理を行ない、この膜を溶融することにより、更に平滑な膜としてもよい。このような膜を使うと、後続の工程におけるパターン形成が容易となる。

本発明はダイナミックメモリのキャパシタ構造だけでなく、半導体基板上での素子分離(アイソレーション)等にも広く応用できる。

(発明の効果)

以上の通り本発明では、すでに確立されている

次に酸化膜26をR1Eによってエッチバックすると、第1図(e)に示すように穴の中央部に酸化膜27が残り、多結晶シリコン25の表面が露出する。そして、酸化膜27および上側絶縁膜23をマスクとして頂部が露出した多結晶シリコン25とその直下の下側絶縁膜22をエッチングし、第1図(f)に示す構造を得る。

引き続きシリコン基板21をR1Eにより3μmの深さにエッチングし、第3図(g)のように溝28を形成した構造を得る。この後酸化膜や窒化膜等の絶縁膜22, 23, 27を適当なエッチング剤を用いて除去し、ゲート酸化膜29およびゲート電極30を形成し第1図(h)に示すような構造を得る。

これによりダイナミックメモリ用のキャパシタが得られる。第2図は第1図(g)に示す構造を立体的に示した斜視図である。

本発明は上記実施例に限定されるものではなく、種々の変形が可能である。例えば上記実施例では、半導体基板21上に窒化膜22を形成しその上に

エッチバック技術を用いてパターン側の側壁部に埋め込み材(例えばポリシリコン)を残存させ、その後埋め込み材およびその下の基板をエッチングするようにしたので、従来と同様の構造を再現性よく実現することができる半導体装置の製造方法が得られる。

また、マスクステップ数は従来例と同じく1回のみで済むという利点がある。さらに従来の技術ではレジストパターンの外側に溝を形成しているが、本発明の場合には最初のレジストパターンの内側に溝を形成することができるため、レジストパターン寸法が同じであれば本発明の方が溝の大きさを微細化できるという利点がある。

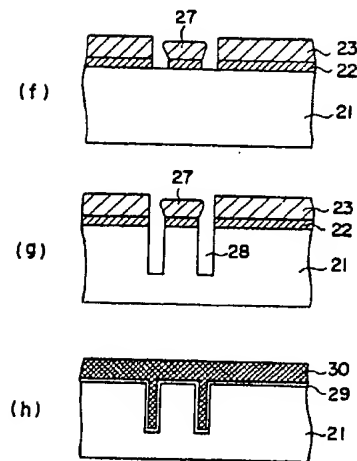
4. 図面の簡単な説明

第1図は本発明の一実施例を示す製造工程別の断面図、第2図は第1図(g)に示す構造を立体的に示した斜視図、第3図は従来の製造方法を示す工程別の断面図である。

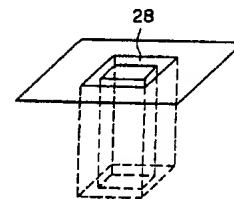
21…シリコン基板、22…下側絶縁膜(窒素

膜)、23…上側絶縁膜(酸化膜)、24…多結
晶シリコン、25…残存する多結晶シリコン、
26…絶縁膜(酸化膜)、27…残存する絶縁膜、
28…溝。

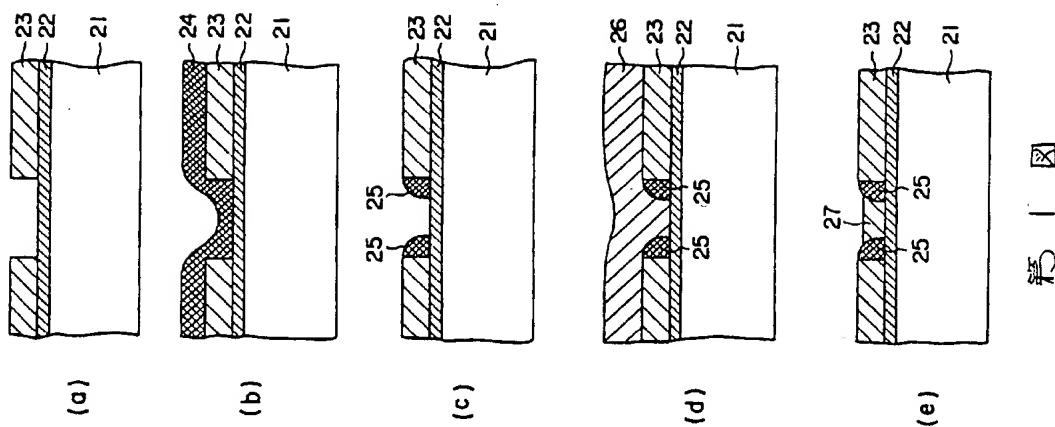
出願人代理人 猪 股 清



第 1 図



第 2 図



第 3 図

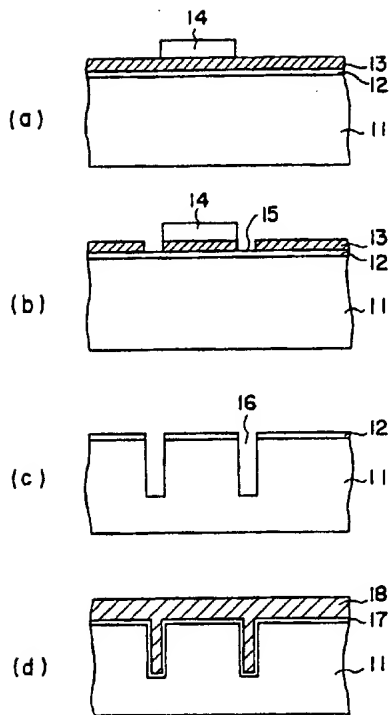


図 3